

**М.С. Сущенко, С.П. Сущенко**

**МАТЕМАТИЧЕСКИЕ МОДЕЛИ  
ИЕРАРХИЧЕСКОЙ ПАМЯТИ  
ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ**

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РФ



НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ  
ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ  
ИНСТИТУТ ВЫЧИСЛИТЕЛЬНЫХ ТЕХНОЛОГИЙ СО РАН

**М.С. Сущенко, С.П. Сущенко**

# **МАТЕМАТИЧЕСКИЕ МОДЕЛИ ИЕРАРХИЧЕСКОЙ ПАМЯТИ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ**

ТОМСК  
«Издательство НТЛ»

НОВОСИБИРСК  
«Наука»

2012

УДК 681.3

ББК 32.97

С91

**Сущенко М.С., Сущенко С.П.** Математические модели  
С91 иерархической памяти вычислительных систем / под ред.  
М.П. Федорука. – Томск: Изд-во НТЛ; Новосибирск:  
Наука, 2012. – 148 с.

ISBN 978-5-89503-478-1

ISBN 978-5-02-019068-9

Излагаются принципы организации и оценки производительности подсистемы многоуровневой памяти вычислительных систем. Рассмотрены модели влияния параметров ассоциативности и глубины неблокируемости кэша на индексы быстродействия подсистемы памяти. Предложен подход к анализу динамических свойств кэша, проявляемых при переключении процессора на выполнение различных приложений. Обсуждаются вопросы оптимизации структуры подсистемы иерархической памяти.

Книга может быть полезна научным работникам, инженерам, преподавателям, аспирантам и студентам вузов, специализирующимся в области архитектуры вычислительных систем.

**УДК 681.3**

**ББК 32.97**

Рецензенты:

доктор физико-математических наук, профессор *А.В. Старченко*;  
доктор технических наук, профессор *А.А. Назаров*

*Утверждено к печати ученым советом  
Института вычислительных технологий СО РАН*

ISBN 978-5-89503-478-1

ISBN 978-5-02-019068-9

© М.С. Сущенко, С.П. Сущенко, 2012

© ООО «Издательство НТЛ», 2012

© Институт вычислительных технологий СО РАН, 2012

# Оглавление

Предисловие . . . . .	5
<b>Глава 1. Проблемы построения эффективной памяти вычислительных систем . . . . .</b>	<b>10</b>
1.1. Архитектура многоуровневой памяти . . . . .	10
1.2. Классификация типов кэш-памяти . . . . .	14
1.3. Проблемы организации подсистемы памяти многопроцессорных систем . . . . .	22
1.4. Анализ моделей многоуровневой памяти . . . . .	25
1.5. Резюме . . . . .	31
<b>Глава 2. Влияние ассоциативности кэша на быстродействие многоуровневой памяти . . . . .</b>	<b>33</b>
2.1. Принципы функционирования ассоциативного кэша . . . . .	34
2.2. Урновая модель кэша . . . . .	36
2.3. Модель кэша с идеальным вытеснением блоков . . . . .	39
2.4. Модель кэша для вытесняющей стратегии с ошибками . . . . .	49
2.5. Расчет вероятности попадания в кэш заданного уровня . . . . .	53
2.6. Динамические свойства идеального кэша . . . . .	58
2.7. Анализ времени доступа . . . . .	63
2.8. Резюме . . . . .	65
<b>Глава 3. Влияние глубины неблокируемости кэша на быстродействие иерархической памяти . . . . .</b>	<b>67</b>
3.1. Принципы функционирования и модель кэша неблокирующего типа . . . . .	68
3.2. Вероятностно-временные характеристики . . . . .	72
3.3. Сопоставительный анализ среднего времени доступа к адресуемым объектам . . . . .	84
3.4. Влияние частоты изменений данных на операционные характеристики . . . . .	87

3.5. Условия целесообразности увеличения числа уровней иерархической памяти . . . . .	99
3.6. Модель разделяемой памяти блокирующего типа двухпроцессорной системы . . . . .	105
3.7. Резюме . . . . .	114
<b>Глава 4. Методы инженерного расчета вероятностно-временных характеристик подсистемы памяти вычислительных систем . . . . .</b>	<b>116</b>
4.1. Введение . . . . .	116
4.2. Расчет вероятности попадания в кэш . . . . .	118
4.3. Расчет среднего времени доступа к адресуемым объектам . . . . .	123
4.4. Расчет пропускной способности иерархической памяти . . . . .	125
4.5. Расчет быстродействия разделяемой памяти двухпроцессорной вычислительной системы . . . . .	127
4.6. Обоснование выбора альтернативных архитектур памяти . . . . .	128
<b>Заключение . . . . .</b>	<b>131</b>
<b>Список литературы . . . . .</b>	<b>134</b>