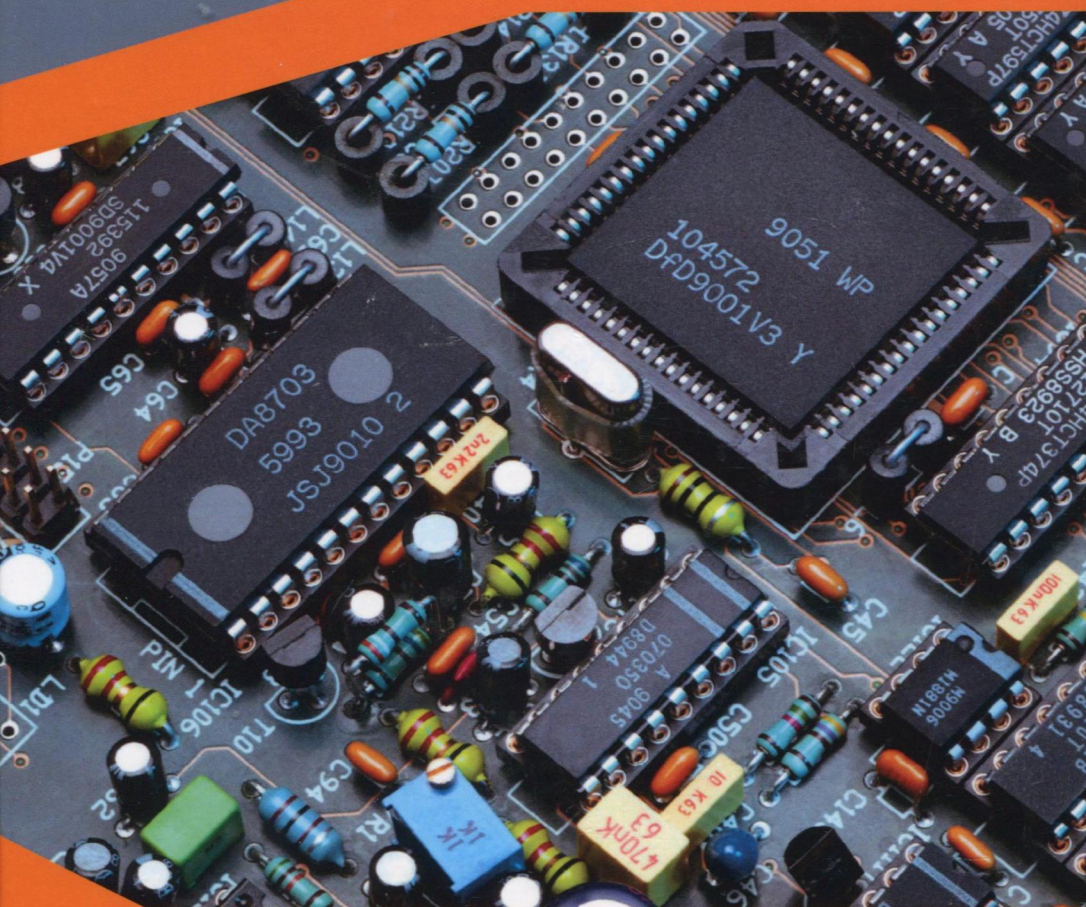


Е. И. Шкелев



«Инфра-Инженерия»



# АППАРАТНЫЕ СРЕДСТВА ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

**Е. И. Шкелев**

**АППАРАТНЫЕ СРЕДСТВА  
ВЫЧИСЛИТЕЛЬНОЙ  
ТЕХНИКИ**

Учебное пособие

Москва Вологда  
«Инфра-Инженерия»  
2023

УДК 681.3  
ББК 32.973.2  
Ш66

Рецензенты:

заведующий кафедрой теории цепей и телекоммуникаций ИРИТ  
Нижегородского государственного технического университета  
им. Р. Е. Алексеева д. ф.-м. н., профессор *В. И. Есипенко*;  
профессор кафедры бионики и статистической радиофизики  
Нижегородского государственного университета им. Н. И. Лобачевского  
д. т. н. *В. Т. Ермолаев*

**Шкелев, Е. И.**

**Ш66** Аппаратные средства вычислительной техники : учебное пособие /  
Е. И. Шкелев. – Москва ; Вологда : Инфра-Инженерия, 2023. – 292 с. : ил.,  
табл.

ISBN 978-5-9729-1307-7

Изложены логика работы и схемотехнические решения цифровых функциональных узлов, включая базовые логические элементы, комбинационные схемы для выполнения логических и вычислительных операций, цифровые автоматы. Рассмотрены структурные и архитектурные решения, а также логика работы центрального процессорного элемента, особенности CISC- и RISC-архитектуры, организация и функциональный состав микропроцессорных систем, включая машину фон Неймана, системы с гарвардской архитектурой, многоядерные и многопроцессорные системы. Приводятся примеры построения и подходы к программированию микроконтроллеров, цифровых процессоров сигналов и процессоров общего назначения.

Для студентов естественнонаучных и технических высших учебных заведений, изучающих цифровые вычислительные устройства и устройства цифровой обработки сигналов, включая программируемую логику, микропроцессоры и микропроцессорные системы.

УДК 681.3  
ББК 32.973.2

ISBN 978-5-9729-1307-7 © Шкелев Е. И., 2023  
© Издательство «Инфра-Инженерия», 2023  
© Оформление. Издательство «Инфра-Инженерия», 2023

## Содержание

ПРЕДИСЛОВИЕ.....	1
1. ОСНОВНЫЕ ПОЛОЖЕНИЯ АЛГЕБРЫ ЛОГИКИ .....	7
2. СХЕМОТЕХНИЧЕСКАЯ РЕАЛИЗАЦИЯ ЛОГИЧЕСКИХ ОПЕРАЦИЙ И ФУНКЦИЙ.....	11
2.1. Полный дешифратор.....	11
2.2. Мультиплексор .....	12
2.3. Схемотехника базовых логических операций.....	13
2.3.1. Диодные дизъюнкторы.....	13
2.3.2. Диодные конъюнкторы.....	15
2.3.3. Выполнение логических операций с помощью транзисторов .....	15
2.3.4. Диодно-транзисторная логика (ДТЛ) .....	19
2.3.5. Транзисторно-транзисторная логика (ТТЛ) .....	21
2.3.6. Интегральная инжекционная логика (ИИЛ, И2Л).....	22
2.3.7. Эмиттерно-связанная логика (ЭСЛ).....	23
2.3.8. МДП-ключи и логика на МДП-структурах .....	25
2.3.9. Элементы с тремя состояниями.....	30
2.3.10. Особенности логических операций на передающих транзисторах. Динамические элементы.....	31
3. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА.....	37
3.1. Арифметические устройства.....	37
3.1.1. Двоичные сумматоры .....	37
3.1.2. Матричные умножители.....	41
3.2. Программируемые логические матрицы (ПЛМ) .....	44
3.3. Программируемая матричная логика (ПМЛ).....	47
3.4. Базовые матричные кристаллы (БМК).....	49
4. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОГО ТИПА (АВТОМАТЫ С ПАМЯТЬЮ) .....	50
4.1. Триггерные устройства. Классификация. Основные сведения.....	50
4.2. Регистры и регистровые файлы .....	54
4.3. Двоичные счетчики .....	56
4.3.1. Асинхронные (последовательные) счетчики .....	56
4.3.2. Параллельные (синхронные) счетчики .....	58
4.4. Регистровое арифметическо-логическое устройство .....	60
4.5. Классификация и реализация машин состояния.....	65
4.5.1. Классификация машин состояния .....	66
4.5.2. Цифровые автоматы на программируемой логике.....	71

4.6. Микропрограммный автомат с хранимой в памяти логикой. Микропрограммирование.....	73
<b>5. МИКРОПРОЦЕССОРЫ: АРХИТЕКТУРА И СТРУКТУРНОЕ ПОСТРОЕНИЕ .....</b>	<b>80</b>
5.1. Общие сведения.....	80
5.2. Формат команд процессора.....	82
5.2.1. Формат команд для CISC процессоров.....	85
5.2.2. Формат команд для RISC архитектур.....	86
5.3. Управляющий автомат RISC процессора.....	90
5.4. Конвейер операций.....	91
5.5. Многочисленные и перекрывающиеся окна регистров.....	93
5.6. Сопоставление процессоров с разной архитектурой.....	94
5.7. Типовая архитектура и последовательность выполнения команд центрального процессором.....	95
5.8. Управление выполнением программы.....	103
5.9. Структура центрального процессора и взаимодействие с МП системой.....	108
<b>6. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА И ПАМЯТЬ МП СИСТЕМЫ .....</b>	<b>112</b>
6.1. Общие сведения.....	112
6.2. Структура оперативного запоминающего устройства.....	114
6.3. Варианты структуры адресных запоминающих устройств.....	117
6.4. Статические оперативные запоминающие устройства.....	121
6.5. Динамические оперативные запоминающие устройства.....	122
6.6. Постоянные и репрограммируемые запоминающие устройства.....	125
6.7. Энергонезависимые оперативные запоминающие устройства.....	128
6.8. Кэш-память.....	129
6.9. Модель и адресация основной памяти.....	134
6.9.1. Режим реальной адресации.....	134
6.9.2. Режим виртуальной адресации.....	135
6.9.3. Адресация в процессорах с высокой разрядностью.....	139
6.10. Кэш-память данных и программ.....	140
<b>7. СИСТЕМЫ С МАГИСТРАЛЬНО-МОДУЛЬНОЙ СТРУКТУРОЙ.....</b>	<b>143</b>
7.1. Машина фон Неймана.....	144
7.2. Магистральный интерфейс в структуре персонального компьютера.....	148
7.3. Многомодульные системы обработки-управления с магистральным интерфейсом.....	150
7.4. Магистральный интерфейс в микроконтроллерах.....	154
7.4.1. Микроконтроллер из семейства MSP430.....	155
7.4.2. Микроконтроллер для коммуникационных приложений.....	168

8. ПРОЦЕССОРЫ С ГАРВАРДСКОЙ АРХИТЕКТУРОЙ .....	173
8.1. Цифровые процессоры сигналов семейства ADSP 21xx .....	173
8.1.1. Структура ядра .....	173
8.1.2. Программный автомат .....	177
8.1.3. Устройства обработки данных.....	180
8.1.4. Адресация памяти данных .....	183
8.1.5. Особенности программирования.....	185
8.1.6. Средства повышения производительности ЦПС.....	189
8.2. Цифровые процессоры сигналов фирмы Texas Instruments .....	195
8.2.1. Микропроцессоры семейства TMS20C20x .....	196
8.2.2. Микропроцессоры семейства TMS20C54x .....	198
8.2.3. Процессоры семейств TMS320C62x и TMS320C67x .....	202
8.3. Микроконтроллеры семейства AVR Classic .....	211
9. ПРОЦЕССОРЫ С КЭШИРОВАННОЙ ПАМЯТЬЮ ПРОГРАММ И ПАМЯТЬЮ ДАННЫХ .....	213
9.1. Структура микропроцессоров с ядрами ARM7TDMI и ARM9TDMI .....	213
9.2. Трансляция адреса и управление памятью в ARM процессорах .....	213
9.3. Микропроцессоры с ядром ARM10E .....	213
9.4. Исключительные ситуации и регистры ARM процессоров .....	213
9.5. Многоядерные ARM-процессоры .....	213
9.6. Микропроцессор MPC604 .....	213
10. МНОГОЗАДАЧНЫЕ И МНОГОПРОЦЕССОРНЫЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ .....	213
10.1. Ресурсы и архитектура многопроцессорной системы на базе ADSP 2106x.....	213
10.2. Транспьютер как процессорный элемент для волнового процессора.....	213
10.4. Основные конструкции языка параллельного программирования Оссам .....	213
10.5. Многозадачность и многопроцессорность .....	213
ЗАКЛЮЧЕНИЕ .....	213
ЛИТЕРАТУРА .....	213